

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145292

(43)Date of publication of application : 28.05.1999

31353 U.S. PTO
10/762156

012004

(51)Int.Cl.

H01L 21/82

(21)Application number : 09-305374

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 07.11.1997

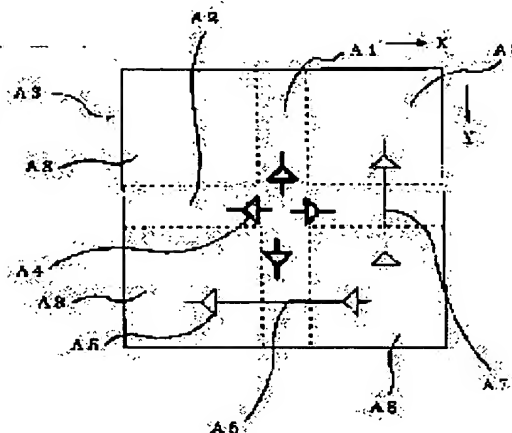
(72)Inventor : IRIE KAZUYUKI

(54) HIERARCHICAL LAYOUT DESIGNING TECHNIQUE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a wiring passing over a macro-block and surely prevent slackening of wiring delays even when a wiring density is high in an uppermost hierarchy by a method wherein a wiring region for highest order hierarchy and a buffer block for connection for highest order hierarchical wiring prepared in the macro-block are used.

SOLUTION: There are provided, in a macro-block A3, a highest order hierarchical wiring region A1 provided in a Y direction, a highest order hierarchical wiring region A2 provided in an X direction and a macro-block wiring region A8 between the highest order hierarchical wiring regions A1 and A2. Further, a highest order hierarchical wiring connecting buffer block A4 is disposed in the neighboring region where the highest order hierarchical wiring region A1 intersects the highest order hierarchical wiring region A2. The highest order hierarchical wirings can be intercommunicated with each other and also the highest order hierarchical wiring is connected to the highest order wiring connecting buffer block A4 which has been previously disposed in the macro block, whereby it is possible to prevent occurrence of slackening in the wiring delays.



LEGAL STATUS

[Date of request for examination]

07.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3184132

[Date of registration]

27.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145292

(43) 公開日 平成11年(1999) 5月28日

(51) IntCl.⁶

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

B

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平9-305374

(22) 出願日 平成9年(1997)11月7日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 入江 和幸

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

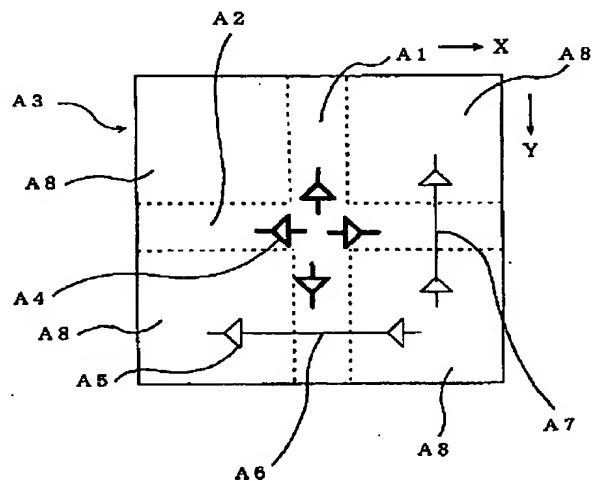
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 階層レイアウト設計手法

(57) 【要約】

【課題】 階層レイアウト手法により配線遅延なまりを防止する階層レイアウト手法を提供する。

【解決手段】 階層レイアウト設計手法において、マクロブロック A 3 内に最上位階層接続用バッファ A 4 および最上位階層配線用領域 A 1, A 2 を設ける。この階層レイアウトを行う際に発生する可能性のあるマクロブロック上通過配線においては、配線長が長くなる可能性が非常に高く、帯周波数動作の障害となってしまう。よって、この配線遅延なまりを確実に防ぐ手法が必要となる。マクロブロック A 3 内に、あらかじめ用意した最上位階層用配線領域 A 1, A 2 および最上位階層配線接続用バッファブロック A 4 を最上位階層における配置配線に使用する。



1

【特許請求の範囲】

【請求項 1】マクロブロック内の階層レイアウト設計手法において、

前記マクロブロック内に設けられた最上位階層配線接続用バッファと、

前記最上位階層配線接続用バッファとが設けられた領域である最上位階層配線接続用領域とを設定したことを特徴とする階層レイアウト設計手法。

【請求項 2】前記マクロブロック内に、あらかじめ、前記最上位階層配線接続用バッファを配置した後、前記マクロブロック内の配置配線を行うことを特徴とする、請求項 1 に記載の階層レイアウト設計手法。

【請求項 3】前記マクロブロック内の配置配線を完了した後、前記マクロブロック内のブロックを移動して、前記最上位階層配線接続用バッファを任意に配置しておくことを特徴とする、請求項 1 または 2 に記載の階層レイアウト設計手法。

【請求項 4】前記マクロブロック内の配置配線前に、あらかじめ、前記最上位階層配線接続用バッファを、座標軸上の X 方向および Y 方向、または、そのいずれかの方 20 向に設定しておくことを特徴とする、請求項 1 ～ 3 のいずれかに記載の階層レイアウト設計手法。

【請求項 5】前記最上位階層配線接続用バッファを任意に配置した後、前記 X 方向および Y 方向、または、そのいずれかの方向に存在するマクロブロック内配線を移動して、前記最上位階層配線用領域を設定しておくことを特徴とする、請求項 4 に記載の階層レイアウト設計手法。

【請求項 6】前記最上位階層配線用領域のマクロブロック内配線は、前記 X 方向に第 1 の配線層を、前記 Y 方向 30 に第 2 の配線層を用いたことを特徴とする、請求項 5 に記載の階層レイアウト設計手法。

【請求項 7】マクロブロック内に X Y 座標を設定し、前記マクロブロック内の配置配線終了後に、最上位階層において、前記マクロブロック間の配線接続状況をマクロブロック配置場所および前記配線密度より判断する第 1 のステップと、
前記マクロブロックの内、対象となるマクロブロックの X 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するのかを判定する第 2 の 40 ステップと、
前記対象となるマクロブロック上を X 方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第 3 のステップと、
前記対象となるマクロブロック上を X 方向に通過すると予測される配線本数分を、最上位階層用の第 1 の配線領域として任意に設定する第 4 のステップと、
前記対象となるマクロブロックの Y 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するのかを判定する第 5 のステップと、

2

前記対象となるマクロブロックを Y 方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第 6 のステップと、

前記対象となるマクロブロック上を Y 方向に通過すると予測される配線本数分を、最上位階層用の第 2 の配線領域として任意に設定する第 7 のステップと、

設定された最上位階層用の前記第 1 の配線領域と前記第 2 の配線領域とに重なっているマクロブロック用の配線およびブロックを上下左右方向にずらす第 8 のステップと、

予測したマクロブロック上通過配線に接続可能なバッファブロックを配線本数分任意にマクロブロック内の最上位階層用の前記第 1 の配線領域内と前記第 2 の配線領域内とに配置する第 9 のステップと、

最上位階層にマクロブロックを任意に配置し、前記最上位階層でのレイアウトを行う第 10 のステップと、
を含むことを特徴とする階層レイアウト設計手法。

【請求項 8】マクロブロック内に X Y 座標を設定し、最上位階層において各マクロブロック間の配線接続状況をマクロブロック配置場所および配置配線密度より判断する第 1 のステップと、

前記マクロブロックの内、対象となるマクロブロックの X 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するのかを判定する第 2 のステップと、

前記対象となるマクロブロック上を X 方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第 3 のステップと、

前記対象となるマクロブロック上を X 方向に通過すると予測される配線本数分を最上位階層用の第 1 の配線領域として任意に設定し、その際、マクロブロック用配線は第 1 配線層のみ使用可能とする第 4 のステップと、

前記対象となるマクロブロックの Y 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するのかを判定する第 5 のステップと、

前記対象となるマクロブロック上を Y 方向に配線が直進通過した場合に、配線遅延なまりが生じるかを判定する第 6 のステップと、

前記対象となるマクロブロック上を Y 方向に通過すると予測される配線本数分を最上位階層用の第 2 の配線領域として任意に設定し、その際、マクロブロック用配線は第 2 配線層のみ使用可能とする第 7 のステップと、

予測したマクロブロック上通過配線に接続可能なバッファブロックを配線本数分任意にマクロブロック内の最上位階層用の前記第 1 の配線領域と前記第 2 の配線領域内に配置する第 8 のステップと、

マクロブロック内に最上位階層用の配線領域および最上位階層配線接続用バッファブロックを配置したままの状態マクロブロック内のレイアウトを行う第 9 のステップと、

3

最上位階層にマクロブロックを任意に配置し最上位階層でのレイアウトを行う第10のステップと、を含むことを特徴とする階層レイアウト設計手法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、階層レイアウト設計手法に関し、特に、最上位階層配線接続用バッファおよび最上位階層配線用領域敷設による短配線長化を図った階層レイアウト設計手法に関する。

【0002】

【従来の技術】図6は、従来例のマクロブロックを示す概略図である。従来は、マクロブロック上を通過する最上位階層での冗長配線D2に対して、配線長短縮化手修正するか、または、マクロブロック周辺にバッファブロックD3を配置し、追加接続して配線長を短くするか、もしくは、階層マクロブロック内における配置配線隙間を最上位階層用の配置領域として利用して、バッファブロックD3の追加配置を行い、配線長を短くするようにしていた。(J)に示す当初の冗長配線D2に対して、マクロブロック周辺にバッファブロックD3を追加して 20 (矢印H)、(K)のように、配線長を短くするか、

(J)の冗長配線D2に対して、マクロブロック内の配置配線隙間領域にバッファブロックを追加して(矢印I)、(L)のように、バッファブロックD3を追加する。なお、D4は、マクロブロック内ですでに配置済みのブロックで、D5は、マクロブロック内ですでに配線済みの配線を示す。

【0003】

【発明が解決しようとする課題】上述した従来例では、複数の大規模マクロブロックが存在した場合、又は使用 30 ブロック密度が高い場合、前後段のブロックを移動させる十分な領域確保が出来ないため配線長短縮化が困難になる。又、配線密度が高い場合には、迂回している冗長配線を短縮化修正するとしても十分な配線領域が確保出来ないため、配線長短縮化が困難になる。従って、マクロブロック上を通過する冗長配線を手修正にて短縮化するのが困難となる可能性があるという問題を有する。

【0004】また、マクロブロック周辺にバッファブロックを追加配置してマクロブロック上通過配線に接続したとしても、結局マクロブロック幅以下には短縮化でき 40 ない。従って、マクロブロック周辺にバッファブロックを追加配置し、マクロブロック上通過配線に接続して配線長を短くしようとしても、短くできる長さに限界があるという問題を有する。

【0005】さらに、最上位階層にてマクロブロック内配置配線隙間を利用するためには、使用している全てのマクロブロック内の全ての配置配線情報といった、膨大なデータ量の認識が必要である。従って、マクロブロック内における配置配線隙間を最上位階層用配置配線領域として使用するとした場合、大規模回路には対応困難で 50

4

あるという問題を有する。

【0006】またさらに、マクロブロック内の配置配線密度が高ければ、最上位階層用に使用できる領域確保が出来ないばかりか、配置配線密度が低い場合でもマクロブロック上通過配線の配線長短縮化に最適な配置配線隙間領域が存在しない場合がある。従って、マクロブロック内における配置配線隙間を最上位階層用配置配線領域として使用したとしても、確実に配線長の短縮化を図ることができないという問題を有する。

10 【0007】そこで、本発明の目的は、上記問題点を解消すべく、配線遅延なまりを防止した階層レイアウト手法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の階層レイアウト設計手法は、マクロブロック内の階層レイアウト設計手法において、マクロブロック内に設けられた最上位階層配線接続用バッファと、最上位階層配線接続用バッファとが設けられた領域である最上位階層配線接続用領域とを設定したことを特徴とする。

【0009】また、マクロブロック内に、あらかじめ、最上位階層配線接続用バッファを配置した後、マクロブロック内の配置配線を行うのが好ましい。

【0010】さらに、マクロブロック内の配置配線を完了した後、マクロブロック内のブロックを移動して、最上位階層配線接続用バッファを任意に配置しておくのが好ましい。

【0011】またさらに、マクロブロック内の配置配線前に、あらかじめ、最上位階層配線接続用バッファを、座標軸上のX方向およびY方向、または、そのいずれかの方向に設定しておくのが好ましい。

【0012】また、最上位階層配線接続用バッファを任意に配置した後、X方向およびY方向、または、そのいずれかの方向に存在するマクロブロック内配線を移動して、最上位階層配線用領域を設定しておくのが好ましい。

【0013】さらに、最上位階層配線用領域のマクロブロック内配線は、X方向に第1の配線層を、Y方向に第2の配線層を用いるのが好ましい。

【0014】また、本発明の階層レイアウト手法は、マクロブロック内にXY座標を設定し、マクロブロック内の配置配線終了後に、最上位階層において、マクロブロック間の配線接続状況をマクロブロック配置場所および配線密度より判断する第1のステップと、マクロブロックの内、対象となるマクロブロックのX方向領域に配置されるブロック間および外部端子間において接続される配線が存在するのを判定する第2のステップと、対象となるマクロブロック上をX方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第3のステップと、対象となるマクロブロック上をX方向に通過す

5

ると予測される配線本数分を、最上位階層用の第 1 の配線領域として任意に設定する第 4 のステップと、対象となるマクロブロックの Y 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するかを判定する第 5 のステップと、対象となるマクロブロックを Y 方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第 6 のステップと、対象となるマクロブロック上を Y 方向に通過すると予測される配線本数分を、最上位階層用の第 2 の配線領域として任意に設定する第 7 のステップと、設定された最上位階層用の第 1 の配線領域と第 2 の配線領域とに重なっているマクロブロック用の配線およびブロックを上下左右方向にずらす第 8 のステップと、予測したマクロブロック上通過配線に接続可能なバッファブロックを配線本数分任意にマクロブロック内の最上位階層用の第 1 の配線領域内と第 2 の配線領域内とに配置する第 9 のステップと、最上位階層にマクロブロックを任意に配置し、最上位階層でのレイアウトを行う第 10 のステップとを含むことを特徴とする。

【0015】さらに、本発明の階層レイアウト設計手法は、マクロブロック内に X Y 座標を設定し、最上位階層において各マクロブロック間の配線接続状況をマクロブロック配置場所および配置配線密度より判断する第 1 のステップと、マクロブロックの中で、対象となるマクロブロックの X 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するかを判定する第 2 のステップと、対象となるマクロブロック上を X 方向に配線が直進通過した場合に配線遅延なまりが生じるかを判定する第 3 のステップと、対象となるマクロブロック上を X 方向に通過すると予測される配線本数分を最上位階層用の第 1 の配線領域として任意に設定し、その際、マクロブロック用配線は第 1 配線層のみ使用可能とする第 4 のステップと、対象となるマクロブロックの Y 方向領域に配置されるブロック間および外部端子間において接続される配線が存在するかを判定する第 5 のステップと、対象となるマクロブロック上を Y 方向に配線が直進通過した場合に、配線遅延なまりが生じるかを判定する第 6 のステップと、対象となるマクロブロック上を Y 方向に通過すると予測される配線本数分を最上位階層用の第 2 の配線領域として任意に設定し、その際、マクロブロック用配線は第 2 配線層のみ使用可能とする第 7 のステップと、予測したマクロブロック上通過配線に接続可能なバッファブロックを配線本数分任意にマクロブロック内の最上位階層用の第 1 の配線領域と第 2 の配線領域内に配置する第 8 のステップと、マクロブロック内に最上位階層用の配線領域および最上位階層配線接続用バッファブロックを配置したままの状態でもマクロブロック内のレイアウトを行う第 9 のステップと、最上位階層にマクロブロックを任意に配置し最上位階層でのレイアウトを行う第 10 のステップとを含むことを特徴とす

6

る。

【0016】本発明の階層レイアウト手法は、特に、マクロブロック内に最上位階層配線接続用バッファおよび最上位階層配線領域を有する手段である。より具体的には、マクロブロック内において X 方向、Y 方向のいずれか、又は両方向に最上位階層用配線の領域を用意しておく手段を有し、さらに、マクロブロック内にあらかじめ最上位階層配線接続用バッファブロックを用意しておく手段を有する。

【0017】

【発明の実施の形態】次に、本発明の実施例について、図面を参照して説明する。

【0018】図 1 は、本発明の階層レイアウト設計手法の第 1 の実施例の構成を示すブロック図である。この手法は、マクロブロック A 3 内において、Y 方向に設けられた最上位階層用配線領域 A 1 と、X 方向に設けられた最上位階層用配線領域 A 2 と、最上位階層用配線 A 1、A 2 との間のマクロブロック用配線領域 A 3 とを備え、さらに、最上位階層用配線領域 A 1 と最上位階層用配線領域 A 2 とが交差する付近の領域に配置された最上位階層配線接続用バッファブロック A 4 を備えた構成である。マクロブロック用配線領域は、又、X 方向の最上位階層用配線領域 A 2 内では 2 アルミ配線層 A 7 のみマクロブロック用配線が使用可能で、Y 方向の最上位階層用配線領域 A 1 内では 1 アルミ配線層 A 6 のみマクロブロック用配線が使用可能として実施する。

【0019】次に、図 2 は、本発明の第 1 の実施例の手順を示すフローチャートである。以下、図 2 を参照して、本発明の階層レイアウト設計手法の手順について詳細に説明する。まず、マクロブロック A 3 内において、配置配線を完了させる（ステップ 2-1）。次に、最上位階層での配線時にマクロブロック A 3 上を直進通過する最上位階層配線の本数および通過向き（配線接続状況）を、最上位階層でのマクロブロック A 3 の配置位置、外部端子接続状況および配置密度（配置配線密度）により予測する（ステップ 2-2）。次に、対象となるマクロブロックの左右領域に配置されるブロック間および外部端子間において接続される配線が存在するか否かを判断し（ステップ 2-3）、対象となるマクロブロック A 3 上を X 方向に直進通過する最上位階層配線が存在した場合、配線遅延なまりを引き起こす程の配線長になってしまうか否かをマクロブロック A 3 の形状および規模より判断する（ステップ 2-4）。ここで、マクロブロック A 3 上を通過する最上位階層配線が、遅延なまりを引き起こすと判断した場合、予測した配線本数分通過可能な幅を通過予測した方向に最上位階層用配線領域 A 2 として、マクロブロック A 3 内に設定する（ステップ 2-5）。X 方向についてこのステップ 2-3～ステップ 2-5 を行った後、同様にして Y 方向に対しても繰り返す（ステップ 2-6～2-8）。すなわち、対象とな

7

るマクロブロックの上下領域に配置されるブロック間および外部端子間において接続される配線が存在するか否かを判断し（ステップ2-6）、対象となるマクロブロックA3上をY方向に直進通過する最上位階層配線が存在した場合、配線遅延なまりを引き起こす程の配線長になってしまうか否かをマクロブロックA3の形状および規模より判断する（ステップ2-7）。ここで、マクロブロックA3上を通過する最上位階層配線が、遅延なまりを引き起こすと判断した場合、予測した配線本数分通過可能な幅を通過予測した方向に最上位階層用配線領域A1として、マクロブロックA3内に設定する（ステップ2-8）。次に、設定した最上位階層用配線領域A1、A2と重なっているマクロブロックA3内配線およびブロックを最寄りの上下左右領域にずらす（ステップ2-9）。その際、マクロブロックA3内におけるY方向の最上位階層用配線領域A1を通過するマクロブロック内配線A6は、1アルミ配線層のみ、X方向の最上位階層用配線領域A2を通過するマクロブロック内配線A7は、2アルミ配線層のみとする。続いて、マクロブロックA3上を通過すると予測した最上位階層用配線本数分のバッファブロックA4を予測した方向に最上位階層配線接続用として、最上位階層用配線領域A1またはA2内に任意に配置する（ステップ2-10）。その際、バッファブロックA4にマクロブロックA3上を通過する最上位階層配線が接続されることにより、配線遅延なまりが生じない配線長になるように配置する。このようにして、最上位階層でのレイアウトを行う（ステップ2-11）。この最上位階層におけるマクロブロックA3内配置配線情報は、最上位階層用配線領域A1、A2内に存在する配線情報および追加バッファブロック情報のみとする。すなわち、バッファブロックの数、座標およびマクロブロックの端子情報、形状のみを持たせる。

【0020】次に、図3は、図2の手順に従った状態の変化を示す概略図である。まず、B1は、マクロブロック内配置配線が完了した図であり、上述したステップ2-1の終了後の状態を示している。次に、B2は、マクロブロック内に最上位階層配線領域を設定した図であり、上述のステップ2-5およびステップ2-8の後の状態を示している。また、B3は、最上位階層用配線領域に重なっている配線およびブロックを上下左右にずらした図であり、上述のステップ2-9の後の状態を示している。さらに、B4は、最上位階層用配線領域内に、最上位階層配線接続用バッファブロックを任意に配置した図であり、上述したステップ2-11の後の状態を示している。

【0021】次に、本発明の第1の実施例の効果について説明する。本発明の第1の実施例では、あらかじめ配置配線が完了したマクロブロックA3に対して行うものである。その上、マクロブロックA3内の配置配線結果のずらし幅は、配線格子数本〜数十本程度と予想される

8

ため、マクロブロックA3内におけるタイミング特性を大きく崩すことなく階層レイアウト用マクロブロックとしてそのまま流用できる。また、あらかじめ配置配線が完了したマクロブロックに対して実施する実施例であるため、様々な最上位階層の配線接続状況に応じて最上位階層用領域を設定できる。さらに、あらかじめY方向の最上位階層用配線領域A1内は、1アルミ配線層しか存在しないため、Y方向の最上位階層用配線は2アルミ配線層を自由に使用することができ、障害なく配線が可能となる。X方向の最上位階層配線用領域A2についても同様に、2アルミ配線層しか存在しないため、X方向の最上位階層用配線は1アルミ配線層を自由に使用することができ、障害なく配線が可能となる。マクロブロックA3内における最上位階層用配線領域A1、A2では、X方向1アルミ層、Y方向2アルミ層配線が自由に使用可能となり、低層配線での階層レイアウト設計においても難なくマクロブロックA3上通過配線の配線長短縮が可能となる。

【0022】図4は、本発明の第2の実施例を示すフローチャートである。本実施例では、まず、最上位階層に配置する各マクロブロックの位置を決める。次に、最上位階層での配線時にマクロブロックA3上を直進通過する最上位階層配線の本数および通過向きを最上位階層でのマクロブロックA3の配置位置、配置密度および外部端子接続状況より予測する（ステップ4-1）。次に、対象となるマクロブロックの左右領域に配置されるブロック間および外部端子間において、接続される配線が存在するか判断し（ステップ4-2）、マクロブロックA3上を直進通過する最上位階層配線が存在すると予測した場合、配線遅延なまりを引き起こす程の配線長になってしまうか否かをマクロブロックA3の形状および規模より判断する（ステップ4-3）。マクロブロックA3上を通過する最上位階層配線が、遅延なまりを引き起こすと判断した場合、予測した配線本数分通過可能な幅を通過予測した方向に最上位階層用配線領域A2として、マクロブロックA3内に設定する。その際、マクロブロック内配線は、2アルミ配線のみ可とする（ステップ4-4）。次に、Y方向についても同様に、まず、対象となるマクロブロック内の上下領域に配置されるブロック間および外部端子間において、接続される配線が存在するか判断し（ステップ4-5）、対象となるマクロブロック上をY方向に配線が直進通過した場合、配線遅延なまりを引き起こすか判断し（ステップ4-6）、配線遅延なまりを生じると判断した場合、予測した配線本数分通過可能な幅を通過予測した方向に最上位階層用配線領域A1としてマクロブロック内に設定する。その際、マクロブロック内配線は、1アルミ配線のみ可とする（ステップ4-7）。次に、予測したマクロブロック上通過配線に接続可能なバッファブロックを、配線本数分任意にマクロブロック内の最上位階層用配線領域A1、

9

A 2 内に配置する (ステップ 4-8)。次に、マクロブロック内に、最上位階層用配線領域および最上位階層接続用バッファブロックを配置したままの状態、マクロブロック内レイアウトを行う (ステップ 4-9)。最後に、最上位階層にマクロブロックを任意に配置し、最上位階層でのレイアウトを行う (ステップ 4-10)。ステップ 4-4、ステップ 4-7 において、マクロブロック A 3 内における Y 方向の最上位階層用配線領域 A 1 を通過するマクロブロック内配線 A 6 は、1 アルミ配線層のみ、X 方向の最上位階層用配線領域 A 2 を通過するマクロブロック内配線 A 7 は、2 アルミ配線層のみとする。続いて、マクロブロック A 3 上を通過すると予測した最上位階層用配線本数分のバッファブロック A 4 を予測した方向に最上位階層配線接続用として、最上位階層用配線領域 A 1 又は A 2 内に任意に配置する。その際、バッファブロック A 4 にマクロブロック A 3 上を通過する最上位階層配線が接続されることにより、配線遅延なまりが生じない配線長になるように配置する。続いて、マクロブロック内に、最上位階層用配線領域および最上位階層接続用バッファブロックを配置したままの状態 20 で、マクロブロック内レイアウトを行う。最上位階層におけるマクロブロック A 3 内配置配線情報は、最上位階層用配線領域 A 1、A 2 内に存在する配線情報および追加バッファブロック情報のみとする。

【0023】図 5 は、図 4 の手順に従った状態を示す図である。まず、C 1 は、マクロブロック内の形状のみ確定した図であり、C 2 は、マクロブロック内に最上位階層配線領域を設定した図であり、C 3 は、最上位階層用配線領域内に、最上位階層配線接続用バッファブロックを任意に配置した図であり、C 4 は、マクロブロック内 30 配置配線が完了した図である。

【0024】次に、本発明の第 2 の実施例の効果について説明する。本発明の第 2 の実施例では、あらかじめ最上位階層用配線領域 A 1、A 2 の設定および最上位階層配線接続用バッファブロック A 4 を配置した状態でマクロブロック A 3 内の配置配線を行うものである。よって、最上位階層配線用配線領域 A 1、A 2 および、最上位階層配線接続用バッファブロックを含んだ状態でのマクロブロック A 3 内タイミング検証が可能となる為、マクロブロックを一度作成すれば二度とタイミング検証確 40 認をする必要性がない。

【0025】次に、本発明の第 3 の実施例について詳細に述べる。第 1 および第 2 の実施例およびフローは全く同じであるが、唯一異なるのが、マクロブロック A 3 内の最上位階層配線領域 A 1、A 2 に最上位階層配線接続用バッファブロックをあらかじめ配置しないという点である。

【0026】次に、本発明の第 3 の実施例の効果について説明する。本発明の第 2 の実施例では、あらかじめ最上位階層用配線領域 A 1、A 2 を用意しておくのみであ 50

10

るため、最上位階層配線がマクロブロック内を行き来できる上に、最上位階層用配線領域内に最上位階層用ブロックも任意に配置可能であるということである。つまり、様々な配線接続状況においても最上位階層の回路接続情報にバッファブロックを任意に追加するだけで、マクロブロック上通過配線に接続するバッファブロックが用意でき、マクロブロック上通過配線を短縮化することが可能となる。

【0027】

【発明の効果】上述したように、本発明の階層レイアウト設計手法では、複数のマクロブロックが存在した場合でも、最上位階層を使用せず、あらかじめマクロブロック内に用意してある最上位階層用配線領域および最上位階層配線接続用バッファブロックを使用する。従って、最上位階層上に複数のマクロブロックが存在し、最上位階層での配置密度が高い場合でも、マクロブロック上通過配線を短縮化することが可能となり、配線遅延なまりを確実に防止可能とする。

【0028】また、マクロブロック形状および規模に拘わらず、あらかじめマクロブロック内に最上位階層用バッファブロックを追加配置しているため、マクロブロック上を通過しようとする最上位階層配線は、マクロブロック内のバッファブロックと接続され、マクロブロック上通過配線長を短縮化できる。従って、マクロブロックの規模および形状に拘わらず、マクロブロック上通過配線を短縮化することが可能となり、配線遅延なまりを確実に防止することができる。

【0029】さらに、マクロブロック内における配置配線情報を全て最上位階層に持たせず、マクロブロック内における、最上位階層用配線領域の情報および追加配置したバッファブロック情報のみといった、少ないデータ量で対応できる。従って、大規模回路でも対応可能である。

【0030】またさらに、マクロブロック内における、X 方向の最上位階層用配線領域は、2 アルミ配線層のみ、Y 方向の最上位階層用配線領域は、1 アルミ配線層のみの使用であるため、最上位階層における X 方向は、1 アルミ配線層が自由に使用可能となり、Y 方向においては 2 アルミ配線層が自由に使用可能となる。従って、最上位階層の配線層が 3 階層であっても、階層レイアウトが容易に可能になるということである。

【0031】本発明の階層レイアウト手法は、最上位階層配線が行き来可能で、かつ、マクロブロック内に予め配置してある最上位配線接続用バッファブロックに最上位階層の配線が接続されることにより、配線遅延なまりも発生しなくなる。

【0032】従って、効率良くマクロブロック内を最上位階層配線が行き来可能となり、かつマクロブロック内にあらかじめ配置してある最上位配線接続用バッファブロックに最上位階層の配線が接続されることにより、配

11

線遅延なまりも発生しなくなるからである。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例のマクロブロックの概略図である。

【図 2】 本発明の第 1 の実施例を示すフローチャートである。

【図 3】 図 2 に示した第 1 の実施例の手順による状態を示す概略図である。

【図 4】 本発明の第 2 の実施例を示すフローチャートである。

【図 5】 図 4 に示した第 2 の実施例の手順による状態を示す概略図である。

【図 6】 従来例のマクロブロックの概略図である。

【符号の説明】

A 1 Y 方向の最上位階層用配線可能領域 (2 アルミ配線層が自由に使用可)

A 2 X 方向の最上位階層用配線可能領域 (1 アルミ配線層が自由に使用可)

A 3 マクロブロック

A 4 あらかじめ、最上位階層配線接続用として任意に配置したバッファブロック

A 5 マクロブロック内で、すでに配置済みのブロック

A 6 Y 方向の最上位階層用配線可能領域に、すでに配線済みのマクロブロック内配線 (X 方向の 1 アルミ配線層が自由に使用可)

* 層のみ可と定義)

A 7 X 方向の最上位階層用配線可能領域に、すでに配線済みのマクロブロック内配線 (Y 方向の 2 アルミ配線層のみ可と定義)

A 8 マクロブロック用配置配線領域

B 1 マクロブロック内配置配線が完了した図

B 2 マクロブロック内に最上位階層配線領域を設定した図

B 3 最上位階層用配線領域に重なっている配線およびブロックを上下左右にずらした図

B 4 最上位階層用配線領域内に、最上位階層配線接続用バッファブロックを任意に配置した図

C 1 マクロブロック内の形状のみ確定した図

C 2 マクロブロック内に最上位階層配線領域を設定した図

C 3 最上位階層用配線領域内に、最上位階層配線接続用バッファブロックを任意に配置した図

C 4 マクロブロック内配置配線が完了した図

D 1 マクロブロック

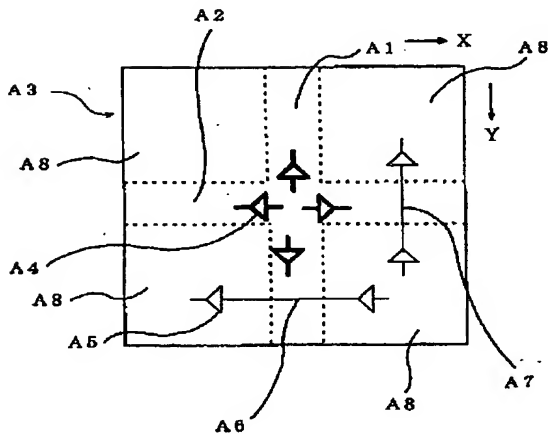
D 2 最上位階層での配線

D 3 追加バッファブロック

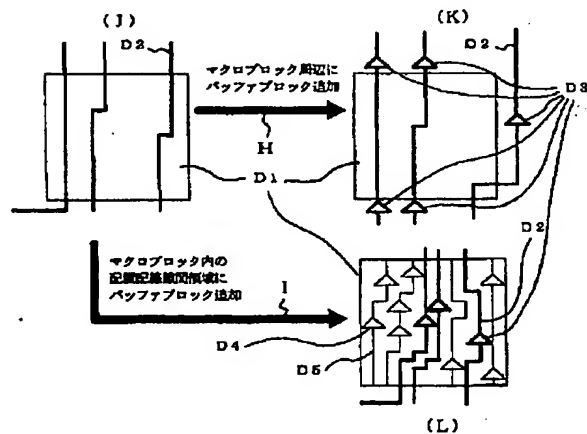
D 4 マクロブロック内ですでに配置済みのブロック

D 5 マクロブロック内ですでに配線済みの配線

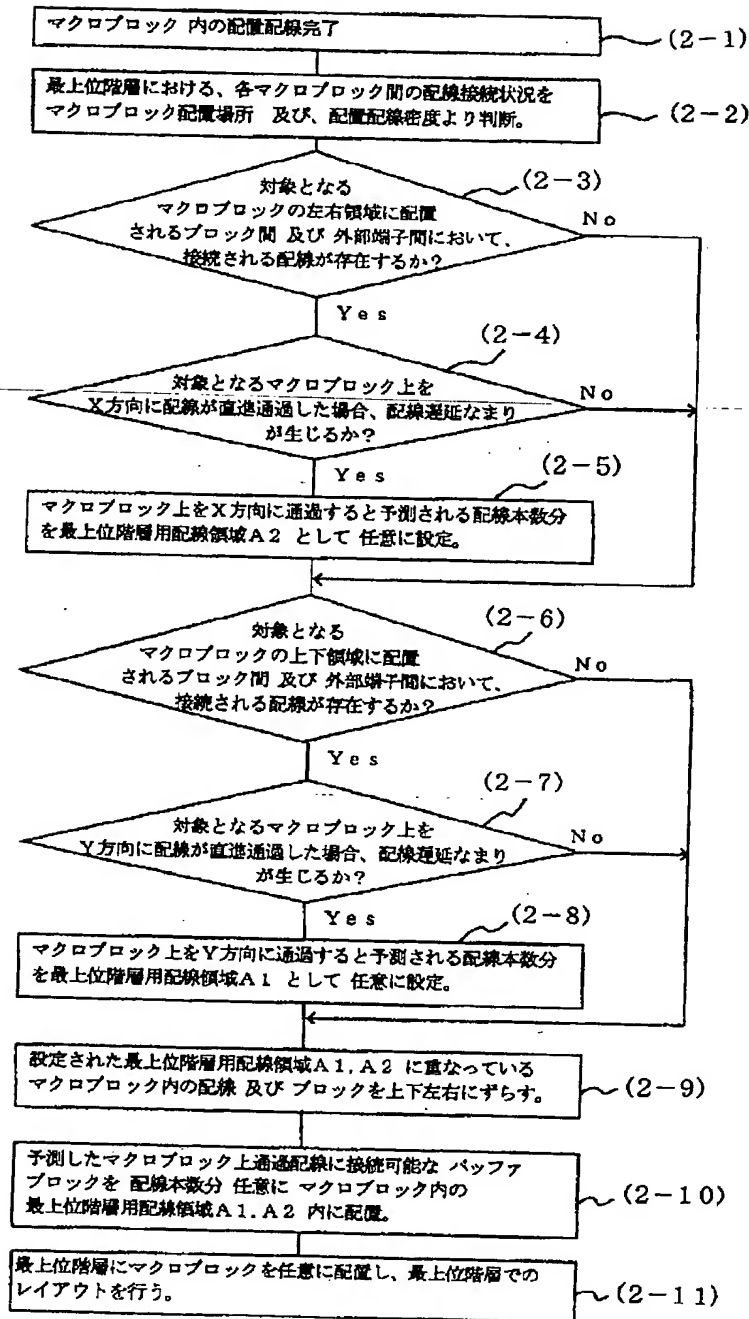
【図 1】



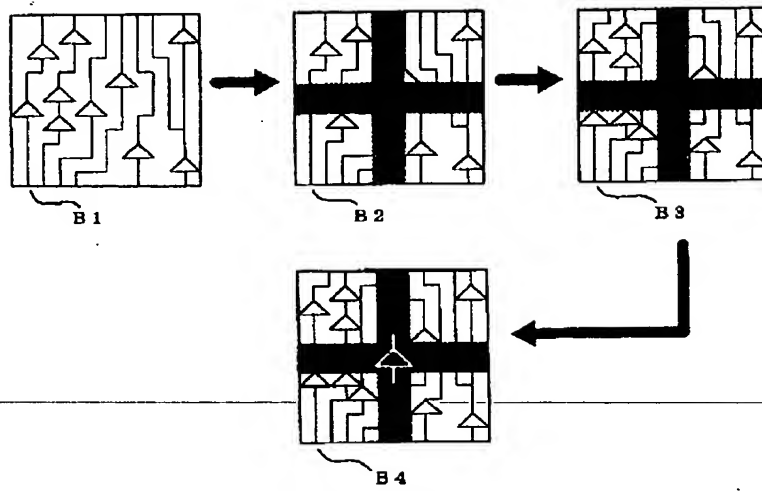
【図 6】



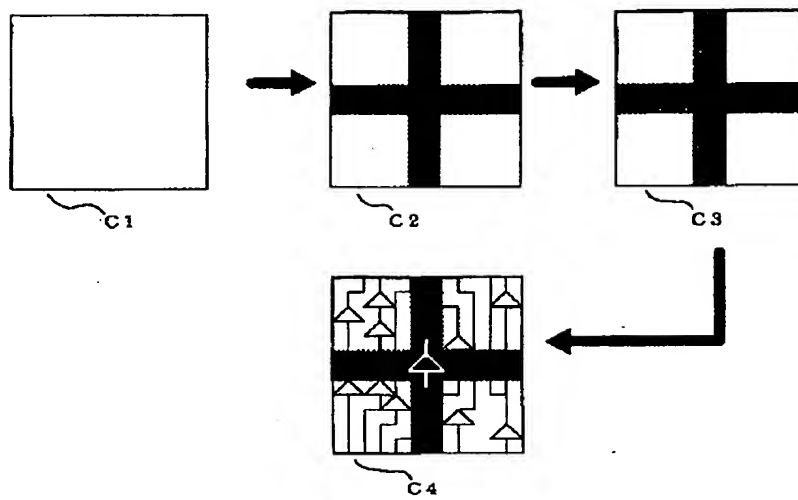
【図 2】



【図 3】



【図 5】



【図 4】

